

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

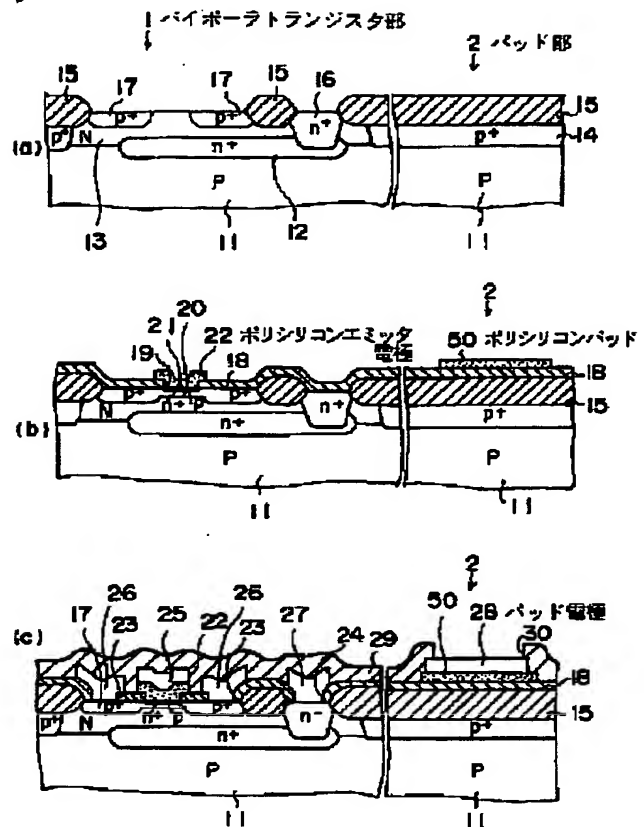
PUBLICATION NUMBER : 10163332  
PUBLICATION DATE : 19-06-98  
APPLICATION DATE : 29-11-96  
APPLICATION NUMBER : 08320010

APPLICANT : SONY CORP;

INVENTOR : OKUBO KENICHI;

INT.CL. : H01L 21/8222 H01L 27/06 H01L 21/331  
H01L 29/73

TITLE : SEMICONDUCTOR DEVICE AND ITS  
MANUFACTURE



ABSTRACT : PROBLEM TO BE SOLVED: To eliminate a characteristic defect in a pad to be caused by wire bonding.

SOLUTION: An opening 19 for a washed emitter is formed in a CVD SiO<sub>2</sub> film 18 and a base layer 20 is formed by ion implantation. After that, a polysilicon film is deposited, ions are implanted into the polysilicon film by ion implantation, and an impurity in the polysilicon film is diffused into the base layer 20 by heat treatment, thereby forming an emitter layer 21. After that, the polysilicon film is patterned, thereby forming a polysilicon emitter electrode 22 in a bipolar transistor part 1 and a polysilicon pad 50 in a pad part 2. Consequently, the yield of the semiconductor device is improved.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-163332

(43) 公開日 平成10年(1998) 6月19日

(51) Int. Cl. <sup>4</sup>		識別記号	P I	
H 0 1 L		21/8222	H 0 1 L	27/06
		27/06		29/72
		21/331		
		29/73		
審査請求 未請求 請求項の数 4 O L (全 5 頁)				
(21) 出願番号	特願平8-320010			
(22) 出願日	平成 8 年 (1996) 11 月 29 日			
(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川 6 丁目 7 番 35 号			
(72) 発明者	大久保 謙一 東京都品川区北品川 6 丁目 7 番 35 号 ソニ ー株式会社内			

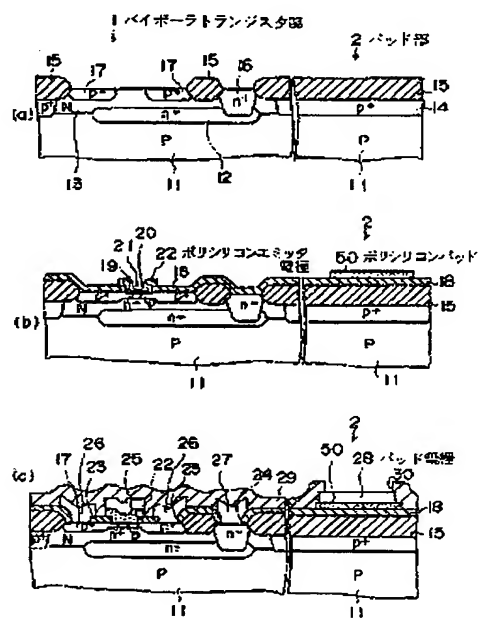
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ワイヤボンディングにより起こるパッド部での特性不良を無くした半導体装置およびその製造方法を提供する。

【解決手段】 CVD SiO<sub>2</sub> 膜 18 にウオッシュドエミッタ用の開口 19 を形成し、イオン注入法により、ベース層 20 を形成した後、ポリシリコン膜を堆積し、イオン注入法によりポリシリコン膜にイオン注入し、熱処理によってポリシリコン膜中の不純物をベース層 20 に拡散してエミッタ層 21 を形成し、その後ポリシリコン膜をパターンニングして、バイポーラトランジスタ部 1 にポリシリコンエミッタ電極 22 と、パッド部 2 にポリシリコンパッド 50 を形成する。

【効果】 半導体装置の製造歩留が向上する。



(2)

特開平10-163332

1

## 【特許請求の範囲】

【請求項1】 導電膜によるパッド電極下方に、前記パッド電極と略同じ形状のポリシリコン膜によるポリシリコンパッドを設けたことを特徴とする、バイポーラトランジスタを構成素子として含む半導体装置。

【請求項2】 前記バイポーラトランジスタをポリシリコンエミッタバイポーラトランジスタとし、前記ポリシリコンパッドに、前記ポリシリコンエミッタバイポーラトランジスタ形成時のポリシリコン膜を用いたことを特徴とする、請求項1に記載の半導体装置。

【請求項3】 半導体基板表面にコレクタ埋め込み層を形成する工程と、

前記半導体基板にエピタキシャル層を形成する工程と、  
前記エピタキシャル層に素子分離領域を形成する工程と、

前記エピタキシャル層上に絶縁膜を形成する工程と、  
前記絶縁膜に開口を形成し、イオン注入法により、前記エピタキシャル層にベース層を形成する工程と、

前記半導体装置のパッド部に、ポリシリコン膜によるポリシリコンパッドを形成する工程と、

前記ベース層内にエミッタ層を形成する工程と、  
導電膜を堆積し、前記導電膜をパターンニングして電極配線を形成する工程とを有することを特徴とする、バイポーラトランジスタを構成素子として含む半導体装置の製造方法。

【請求項4】 前記絶縁膜に開口を形成し、イオン注入法により、前記エピタキシャル層にベース層を形成後、ポリシリコン膜を堆積する工程と、  
イオン注入法により、前記ポリシリコン膜に不純物をドーピングする工程と、

熱処理により、前記ポリシリコン膜中の不純物をベース層に拡散してエミッタ層を形成する工程と、

前記ポリシリコン膜をパターンニングして、ポリシリコンエミッタ電極と、パッド部にポリシリコンパッドを形成する工程とを有して形成するポリシリコンエミッタバイポーラトランジスタを構成素子とすることを特徴とする、請求項3に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置およびその製造方法に関し、さらに詳しくは、バイポーラ型半導体装置のパッド部に特徴を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 近年、バイポーラ型の半導体装置は、高速化、高集積化を目指し、不純物をドーピングしたポリシリコン膜より不純物を拡散してエミッタ層を形成し、このポリシリコン膜をパターンニング後、そのままエミッタ電極とするポリシリコンエミッタバイポーラトランジスタで構成されている。このような構成のバイポーラトランジ

2

スタは、通常ベース層とエミッタ層とが自己整合で形成された、所謂ウォッシュドエミッタ構成となっていて、エミッタ層に拡散層が浅く、またベース層も狭いため、高速動作が可能なバイポーラ型半導体装置となる。

【0003】 上述したポリシリコンエミッタバイポーラトランジスタを構成素子として含むバイポーラ型の半導体装置およびその製造方法の従来例を、図2を参照して説明する。ここで図2は、バイポーラトランジスタ部1とパッド部2とを示す、半導体装置の概略断面図である。まず、図2に示すように、P型半導体基板11表面にバイポーラトランジスタ部1のコレクタ埋め込み層12を選択的に形成し、このP型半導体基板11上にN型エピタキシャル層13を形成する。次に、N型エピタキシャル層13に素子分離用拡散層14を形成するためのP型不純物をイオン注入した後、LOCOS (Local Oxidation of Silicon) 法によるLOCOS素子分離領域15を形成する。その後イオン注入法によるPイオンの選択的なイオン注入と拡散とにより、コレクタ電極引き出し領域16を形成して、コレクタ埋め込み層12に接続させる。

【0004】 次に、Bイオンの選択的なイオン注入と拡散により、バイポーラトランジスタ部1のベース部の電極引き出し領域であるグラフトベース層17を形成する。その後CVD法によりCVDSiO<sub>2</sub>膜18を堆積し、このCVDSiO<sub>2</sub>膜18をパターンニングして、バイポーラトランジスタ部1の後述するベース層20やエミッタ層21形成のための、ウォッシュドエミッタ (Washed Emitter) 用の開口19を形成する。その後、このCVDSiO<sub>2</sub>膜18をマスクとして、開口19部のN型エピタキシャル層13表面にイオン注入法によりBイオンを注入し、活性化の熱処理をし、グラフトベース層17に接続するベース層20を形成する。

【0005】 次に、CVD法によりポリシリコン膜を堆積し、その後イオン注入の投影飛程がポリシリコン膜のほぼ中央になるような打ち込みエネルギーで、Asイオンを注入する。その後、ポリシリコン膜中の不純物を熱処理により拡散させて、ベース層20表面にエミッタ層21を形成する。更にその後ポリシリコン膜をパターンニングして、ポリシリコンエミッタ電極22を形成する。この様にして、バイポーラトランジスタ部1のウォッシュドエミッタが形成される。

【0006】 次に、CVDSiO<sub>2</sub>膜18をパターンニングして、グラフトベース層17上部やコレクタ電極引き出し領域16上部に開口23、24を形成し、その後1%のS<sub>2</sub>を含むA1膜等の電極配線膜となるA1合金膜をスパッタリング法等により堆積する。更にその後A1合金膜をパターンニングして、バイポーラトランジスタ部1のポリシリコンエミッタ電極22、グラフトベース層17、コレクタ電極引き出し領域16等にA1合金膜に

(3)

特開平10-163332

3

4

よる電極25、26、27、パッド部2にパッド電極28等を形成する。その後、プラズマCVDSiN膜等によるパッシベーション膜29を形成し、その後このパッシベーション膜29をパターンニングして、パッド電極28上部のパッシベーション膜29に開口30を形成する。上述の様に、ポリシリコンエミッタバイポーラトランジスタを構成素子として含むバイポーラ型の半導体装置が作製される。

【0007】上述の様に作製された半導体装置は、その後半導体ウェハ状態にて、動作テスト等の測定が行われ、更にその後、半導体ウェハより分割された良品の半導体装置、所謂良品のチップのみをリードフレーム等にダイボンディングし、続いてリードフレームのリード部と半導体装置のパッド部2間のワイヤボンディングが行われ、その後樹脂封止等が行われてパッケージに搭載された半導体装置が出来上がる。

【0008】上記の動作テスト等の測定時には、測定機のプロープの針をパッド部2のパッド電極28に押し当てるために、針を押し当てた部分のパッド電極28のA1合金膜が剥がれることがある。このA1合金膜に剥がれた部分があると、次の工程のワイヤボンディング時に、パッド部2のLOCOS素子分離領域15に機械的ダメージが入り、パッド部2での耐圧不良という特性不良を起こしたり、また、ワイヤボンディング不良による断線という特性不良を起こしたりする虞がある。

【0009】上述した半導体装置の作製においては、電極配線膜をA1合金膜としたが、近年の拡散層の浅い接合を用いる半導体装置においては、A1合金膜と拡散層のシリコンとの反応で接合が破壊される虞があるため、バリア膜としてのT1N膜を堆積した後A1合金膜を堆積し、これをパターンニングして電極配線としている。しかし、T1N膜と酸化膜の密着性が良くないために、この対策として薄いT1N膜を堆積した後T1N膜を堆積する方法をとる場合もある。このようなバリア膜を用いる場合も、動作テスト時のプロープの針によるパッド部2のA1合金膜が剥がれると、上述した問題が発生する虞がある。

【0010】

【発明が解決しようとする課題】本発明は、上述したバイポーラトランジスタの半導体装置およびその製造方法における問題点を解決することをその目的とする。即ち本発明の課題は、ワイヤボンディングにより起こるパッド部での特性不良を無くした半導体装置およびその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の半導体装置およびその製造方法は、上述の課題を解決するために提案するものであり、本発明の半導体装置は、半導体装置の導電膜によるパッド電極下方に、パッド電極と略同じ形状のポリシリコン膜によるポリシリコンパッドを設けたこ

とを特徴とするものである。

【0012】また、本発明の半導体装置の製造方法は、半導体基板表面にコレクタ埋め込み層を形成する工程と、半導体基板にエピタキシャル層を形成する工程と、エピタキシャル層に素子分離領域を形成する工程と、エピタキシャル層上に絶縁膜を形成する工程と、絶縁膜に開口を形成し、イオン注入法により、エピタキシャル層にベース層を形成する工程と、半導体装置のパッド部に、ポリシリコン膜によるポリシリコンパッドを形成する工程と、ベース層内にエミッタ層を形成する工程と、導電膜を堆積し、前記導電膜をパターンニングして電極配線を形成する工程とを有することを特徴とするものである。

【0013】本発明によれば、半導体装置の導電膜によるパッド電極下方に、パッド電極と略同じ形状のポリシリコン膜によるポリシリコンパッドを設けたことで、パッド電極とポリシリコンパッドとの密着性、ポリシリコンパッドとポリシリコンパッド下方の酸化膜との密着性がよいために、半導体ウェハ状態での半導体装置の動作テスト時にプロープの針によるパッド電極の剥がれが抑制され、ワイヤボンディング時の機械的ダメージ等で起こる耐圧不良や、ワイヤボンディング不良による接続不良等の半導体装置の特性不良が起き難くなる。従って、半導体装置の製造歩留が向上する。

【0014】

【実施例】以下、本発明の具体的実施例につき、添付図面を参照して説明する。なお従来技術の説明で参照した図2中の構成部分と同様の構成部分には、同一の参照符号を付すものとする。

【0015】本実施例はバイポーラトランジスタを構成素子として含む半導体装置およびその製造方法に本発明を適用した例であり、これを図1を参照して説明する。まず、図1(a)に示すように、P型半導体基板11表面にバイポーラトランジスタ部1のコレクタ埋め込み層12を、N型不純物イオン、例えばPイオンの選択的なイオン注入と熱拡散とにより、形成する。その後、気相エピタキシャル結晶成長法により、P型半導体基板11上にN型エピタキシャル層13を形成する。

【0016】次に、N型エピタキシャル層13表面に、素子分離用拡散層14を形成するためのP型不純物のイオン注入、例えばBイオンを用いたイオン注入をし、その後素子分離領域、例えばLOCOS法によるLOCOS素子分離領域15を形成する。更にその後、コレクタ電極引き出し領域16を、N型不純物イオン、例えばPイオンの選択的なイオン注入と熱拡散とにより形成して、埋め込み層12に接続させる。次に、P型不純物イオン、例えばBイオンの選択的なイオン注入と拡散によりバイポーラトランジスタ部1のベース部の電極取り出し領域であるグラフトベース層17を形成する。

【0017】次に、図1(b)に示すように、絶縁膜、

(4)

特開平10-163332

5

例えばCVD法によりCVD SiO<sub>2</sub>膜18を堆積し、このCVD SiO<sub>2</sub>膜18をパターンニングして、バイポーラトランジスタ部1の後述するベース層20やエミッタ層21を形成するための、ウォッシュドエミッタ用の開口19を形成する。更にその後、このCVD SiO<sub>2</sub>膜18をマスクとして、開口19部のN型エピタキシャル層13表面にP型不純物イオン、例えばBイオンをイオン注入し、活性化の熱処理をし、グラフトベース層17に接続するベース領域20を形成する。

【0018】次に、CVD法によりポリシリコン膜を膜厚約200nm程度堆積し、その後イオン注入の投影飛程がポリシリコン膜のはば中央になるようなイオン注入、例えばAsイオンを用い、打ち込みエネルギー約40keV、ドーズ量約5E15/cm<sup>2</sup>でのイオン注入を行なう。その後、ポリシリコン膜中の不純物を熱処理により拡散させて、ベース層20表面にエミッタ層21を形成する。

【0019】次に、ポリシリコン膜をパターンニングして、ポリシリコンエミッタ電極22と、パッド部2の位置にポリシリコン膜によるポリシリコンパッド50を形成する。この様にして、バイポーラトランジスタ部1のウォッシュドエミッタが形成される。なお、ポリシリコンパッド50の形状は、後述するA1合金膜のパッド電極28の形状と略同じ形状、例えばパッド電極28と相似形でパッド電極28周囲より約10μm幅程大きい形状とする。

【0020】次に、図1(c)に示すように、CVD SiO<sub>2</sub>膜18をパターンニングして、グラフトベース層17上部やコレクタ電極引き出し領域16上部に開口23、24を形成し、その後電極配線膜となるA1合金膜、例えば1%のSiを含むA1膜等のA1合金膜をスパッタリング法等により堆積する。更にその後A1合金膜をパターンニングして、バイポーラトランジスタ部1のポリシリコンエミッタ電極22、グラフトベース層17、コレクタ電極引き出し領域16等にA1合金膜による電極25、26、27、およびパッド部2のポリシリコンパッド50上に、A1合金膜によるパッド電極28等を形成する。なお、上述したA1合金膜を堆積する前に、スパッタリング法等により薄いTi膜とバリア膜としてのTiN膜を堆積し、その後にスパッタリング法等によりA1合金膜を堆積し、これらの膜をパターンニングして、各電極等を形成してもよい。

【0021】次に、プラズマCVD SiN膜等によるパッシベーション膜29を形成し、その後このパッシベーション膜29をパターンニングして、パッド電極28上のパッシベーション膜29に開口30を形成する。上述の様に、ポリシリコンエミッタバイポーラトランジスタを構成素子として含むバイポーラ型の半導体装置が作製される。

【0022】上記の製造方法で作製された半導体装置

5

は、その後半導体ウェハ状態にて、動作テスト等の測定が行われ、更にその後、半導体ウェハより分割された良品の半導体装置、所謂良品のチップのみをリードフレーム等にダイボンドし、続いてリードフレームのリード部と半導体装置のパッド部2間のワイヤボンディングが行われ、その後樹脂封止等が行われてパッケージに搭載された半導体装置が出来上がる。

【0023】上記の製造方法で作製された半導体装置は、LOCOS素子分離領域15上のCVD SiO<sub>2</sub>膜18とポリシリコンパッド50との密着性、ポリシリコンパッド50とA1合金膜によるパッド電極28との密着性が良いために、上述した半導体ウェハ状態での動作テスト時のプローブの針によるパッド電極28のA1合金膜の剥がれを抑制することができる。また、A1合金膜が剥がれても下地がポリシリコン膜によるポリシリコンパッド50であり、ワイヤボンディングにおけるワイヤの材料は通常AuやAlのワイヤなので、ワイヤボンディング不良が起きにくくなっている。従って、ワイヤボンディング時の機械的ダメージ等で起こる耐圧不良や、ワイヤボンディング不良による接続不良等の半導体装置の特性不良が起きにくくなり、半導体装置の製造歩留が向上する。また、上述した半導体装置の製法より明らかなように、ポリシリコンパッド50は半導体装置の製造工程数を増加させずに形成することができる。

【0024】以上、本発明を実施例により説明したが、本発明はこれら実施例に何ら限定されるものではない。例えば、本発明の実施例では、バイポーラトランジスタとしてポリシリコンエミッタバイポーラトランジスタを用いた半導体装置について説明したが、ダブルポリシリコンのバイポーラトランジスタを用いた半導体装置でもよく、またポリシリコンエミッタ電極を用いないB1CMOS型の半導体装置でも、MOSトランジスタのゲート電極にするポリシリコン膜を用いて、パッド部にポリシリコンパッドを形成する方法をとれば、B1CMOS型の半導体装置でもよい。その他、本発明の技術的思想の範囲内で、プロセス条件は適宜変更が可能である。

【0025】

【発明の効果】以上の説明から明かなように、本発明の半導体装置およびその製造方法は、パッド部にポリシリコンパッドを形成し、このポリシリコンパッド上にパッド電極を形成することで、ワイヤボンディングにより起こるパッド部での特性不良がなくなり、半導体装置の製造歩留が向上する。

【図面の簡単な説明】

【図1】本発明を適用した実施例の工程を工程順に説明する。半導体装置の概略断面図で、(a)はバイポーラトランジスタ部にグラフトベース層を形成した状態、(b)はポリシリコンエミッタ電極と、ポリシリコンパッドを形成した状態、(c)はパッド部に開口を形成した状態である。

(5)

特開平10-163332

7

8

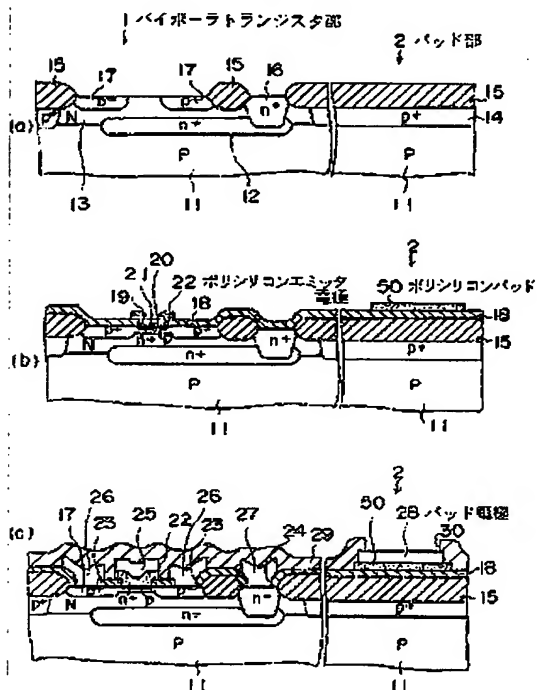
【図2】従来例の半導体装置およびその製造方法を説明するための、半導体装置の概略断面図である。

【符号の説明】

1…バイポーラトランジスタ部、2…パッド部、11…半導体基板、12…コレクタ埋め込み層、13…エピタキシャル層、14…素子分離用拡散層、15…LOCO\*

\*S素子分離領域、16…コレクタ電極引き出し領域、17…グラフトベース層、18…CVDSiO<sub>2</sub>膜、19、23、24、30…開口、20…ベース層、21…エミッタ層、22…ポリシリコンエミッタ電極、25、26、27…電極、28…パッド電極、29…パッシベーション膜、50…ポリシリコンパッド

【図1】



【図2】

